

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

JC879 U.S. PTO  
10/037909  
11/09/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 10355 호  
Application Number

출원년월일 : 2001년 02월 28일  
Date of Application

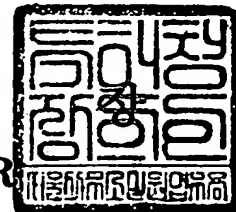
출원인 : 삼성전자 주식회사  
Applicant(s)



2001 년 04 월 06 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2001.02.28
【국제특허분류】	H03K
【발명의 명칭】	에러 발생위치를 검출할 수 있는 에러검출회로
【발명의 영문명칭】	Error detecting circuit for detecting the location of error
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김영완
【성명의 영문표기】	KIM, Young Wan
【주민등록번호】	710221-1079720
【우편번호】	134-051
【주소】	서울특별시 강동구 암사1동 457-46
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원

【우선권주장료】	0	건	0	원
【심사청구료】	5	항	269,000	원
【합계】	298,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

에러 발생위치를 빠르게 검출할 수 있게 하는 에러검출회로가 개시된다. 상기 에러 검출회로는 에러데이터 저장부 및 에러데이터 집합부를 구비한다. 상기 에러데이터 저장부는, 칩에 구현된 회로를 소정의 영역들로 구분하고, 구분된 상기 소정의 영역에서 에러가 발생하였을 때 각각 인에이블(enable)되는 복수 개의 스테이트 에러(state error) 신호, 칩에 구현된 회로에 에러가 발생하여 칩이 동작불능상태가 되었을 때 상기 칩 내부에 저장된 상기 복수 개의 스테이트 에러신호를 읽어 내기 위한 시리얼 체인신호(serial chain signal), 발생한 상기 복수 개의 스테이트 에러신호의 보존여부를 결정하는 락인에이블 신호 및 상기 에러데이터 집합부의 출력신호인 칩에러신호에 응답하는 복수 개의 에러신호를 출력한다. 상기 에러데이터 집합부는, 상기 에러데이터 저장부의 상기 복수 개의 에러신호에 응답하여 상기 칩에러신호를 출력한다. 상기 에러데이터 저장부는, 상기 복수 개의 스테이트 인에이블 신호들 중에서 적어도 하나를 저장하여 출력하고, 상기 시리얼 체인신호에 응답하여 자신에 저장된 적어도 하나의 상기 스테이트 인에이블 신호를 확인 할 수 있게 한다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

에러 발생위치를 검출할 수 있는 에러검출회로{Error detecting circuit for detecting the location of error}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명에 따른 에러검출회로의 블록도이다.

도 2는 도 1에 도시된 에러검출회로의 에러데이터 저장부(100)의 첫 번째 에러데이터 저장기(110)의 내부 회로도도를 나타낸다.

도 3은 도 1에 도시된 에러검출회로의 에러데이터 저장부(100)의 두 번째 에러데이터 저장기(120) 내지 N(N은 정수) 번째 에러데이터 저장기(140)의 내부 회로도도를 나타낸다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체장치의 설계 및 불량 분석에 관한 것으로서, 특히 기본적인 테스트를 거쳐 사용자에게 전달되어 사용중인 반도체 칩에 내재하는 에러 발생위치를 조기에 검출할 수 있게 하는 에러검출회로에 관한 것이다.

<6> 반도체 칩에 집적되는 트랜지스터의 숫자가 늘어감에 따라, 칩을 테스트하기 위해

서는 많은 시간과 노력이 요구되며 이러한 시간과 노력은 모두 칩의 생산 단가를 높이는 요소가 된다. 칩의 테스트는 설계 에러 및 프로세스 에러 모두를 검출해야 하는데, 특히 설계에 전혀 문제가 없더라도 공정상의 허용오차(tolerance)로 인하여 정상동작하지 않는 칩을 검출해내는 것은 기술적으로 상당히 어렵고 많은 시간이 소요된다.

<7>      상기와 같은 설계 및 공정상의 불량률 내재하고 있는 칩은 사용자에게 팔리기 전에 선별되어야 하는데, 통상 설계 엔지니어는 이러한 불량률 검출하기 위한 테스트 벡터(test vector)를 설계당시에 생성해 내고, 테스터 엔지니어는 생성된 상기 테스트 벡터를 이용하여 제조된 칩의 불량률 점검한다. 상기 테스트 벡터는 설계 및 공정에 있어서 발생할 수 있는 모든 경우의 불량률 검출할 수 있도록 준비되어야 하는 것이 원칙이지만, 실제로 제조회사는 최소한의 테스트 벡터만을 이용한 테스트를 수행하여 경비를 줄이고 한다. 이렇게 최소한의 테스트 벡터만을 기초로 하여 수행된 테스트를 거친 칩은 사용자에게 전달되어 사용되다가 상기 테스트에서 검출하지 못한 불량률이 발생하는 수가 발생할 수 있다. 이 경우 제조회사는 기존의 테스트 벡터에 이러한 불량률 검출할 테스트 벡터를 추가한 후 테스트를 진행시켜 상기와 같은 불량률 내재한 칩을 검출하여야 한다.

<8>      설계 엔지니어는 상기 불량률의 원인을 찾기 위하여, 설계 회로에 불량원인이 되는 것으로 추정되는 조건을 추가로 입력시킨 컴퓨터 시뮬레이션을 통하여 상기 불량률 재현시킨다. 상기 컴퓨터 시뮬레이션을 통하여 불량률의 발생원인 및 발생영역을 확인한 후, 상기 불량률이 설계상의 에러인 경우에는 재 설계(revision)를 하여야 하지만, 공정의 허용오차에 기인한 경우에는 재 설계 또는 테스트 벡터가 추가된 테스트를 실시하는 방법 중에서 경제성을 따져 하나를 선택하여야 한다.

<9>       상기와 같이 컴퓨터 시뮬레이션을 통하여 불량률의 발생원인 및 발생영역을 정확히 찾아내기 위해서는 많은 시뮬레이션 시간이 요구되며 이를 분석하기 위한 설계 엔지니어의 노력 또한 상당히 요구된다. 또한 컴퓨터 시뮬레이션으로 불량률의 발생원인 및 발생영역을 100퍼센트(100 percent) 정확하게 찾아내는 것도 아니다. 따라서 반도체 칩의 동작 특성 즉 하드웨어의 동작특성을 통하여 회로의 어느 부분에서, 어떤 원인으로 불량률이 발생하였는가를 판단하는 일은 대단히 중요하며, 설계 엔지니어는 이러한 점을 고려한 설계를 하지 않는 한 상술한 바와 같은 경제상, 시간상의 손실을 감수하여야 한다.

<10>       특별히, 자동으로 회로를 생성시키는 설계보조장치(design tool)를 사용하여 발생시킨 회로로 만들어진 칩의 경우, 상기와 같이 기본적인 최소한의 테스트 벡터만을 기초로 한 테스트에서 정상이라고 판정된 칩들이, 사용자에게 전달되어 사용될 때 발견된 불량률에 대하여는 발생원인 및 발생영역을 쉽게 찾을 수 없으므로 문제가 더욱 심각해진다.

#### 【발명이 이루고자 하는 기술적 과제】

<11>       따라서 본 발명이 이루고자 하는 기술적 과제는, 에러의 발생원인 및 발생영역을 빠르게 검출하게 하는 에러검출회로를 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<12>       상기의 기술적 과제를 달성하기 위한 본 발명에 따르면, 상기 에러검출회로는, 에러데이터 저장부 및 에러데이터 집합부를 구비한다.

<13>       상기 에러데이터 저장부는, 칩에 구현된 회로를 소정의 영역들로 구분하고, 구분된 상기 소정의 영역에서 에러가 발생하였을 때 에러 발생 영역 별로 각각 인에이블되는 복수 개의 스테이트 에러신호, 칩에 구현된 회로에 에러가 발생하여 칩이 동작불능상태

가 되었을 때 칩 내부에 저장된 상기 복수 개의 스테이트 에러신호를 읽어 내기 위한 시리얼 체인신호(serial chain signal), 발생한 상기 복수 개의 스테이트 에러신호의 보존 여부를 결정하는 락인에이블 신호 및 상기 에러데이터 집합부의 출력신호인 칩에러신호에 응답하여 복수 개의 신호를 출력한다. 상기 에러데이터 집합부는, 상기 에러데이터 저장부의 상기 복수 개의 에러신호에 응답하여 상기 칩에러신호를 출력한다.

<14>       상기 에러데이터 저장부는, 구분된 상기 소정의 영역에서 발생한 에러에 의하여 각각 인에이블되는 상기 복수 개의 스테이트 인에이블 신호들 중에서 적어도 하나를 저장하여 출력하고, 구분된 상기 소정의 영역에서 발생한 에러에 의하여 칩이 동작불능상태로 되었을 때 칩의 외부에서 강제로 인가되는 상기 시리얼 체인신호에 응답하여 자신에 저장된 적어도 하나의 상기 스테이트 인에이블 신호를 확인 할 수 있게 한다.

<15>       상기 에러데이터 저장부는, 복수 개의 에러데이터 저장기를 구비한다.

<16>       상기 복수 개의 에러데이터 저장기 중에서 첫 번째 에러데이터 저장기는, 상기 복수 개의 스테이트 에러신호들 중에서 제1스테이트 에러신호, 상기 시리얼 체인신호, 상기 락인에이블 신호 및 상기 칩에러신호에 응답하여 제1에러신호를 출력하고, 낸드게이트, 멀티플렉서 및 D플립플롭을 구비한다. 상기 낸드게이트는, 상기 락인에이블 신호 및 상기 칩에러신호에 응답하여 제어신호를 출력한다. 상기 멀티플렉서는 상기 시리얼 체인신호 및 상기 제어신호에 응답하여 상기 D플립플롭의 출력신호인 제1에러신호 및 상기 제1스테이트 에러신호 중에서 하나를 선택한다. 상기 D플립플롭은 상기 멀티플렉서의 출력신호를 입력단자로 수신하여 상기 제1에러신호를 양의 출력단자로 출력한다.

<17>       상기 복수 개의 에러데이터 저장기 중에서 두 번째 에러데이터 저장기는, 상기 복수 개의 스테이트 에러신호들 중에서 제2스테이트 에러신호, 상기 시리얼 체인신호, 상

기 락 인에이블 신호, 상기 칩에러신호 및 상기 제1에러신호에 응답하여 제2에러신호를 출력하고, 낸드게이트, 멀티플렉서 및 D플립플롭을 구비한다. 상기 낸드게이트는, 상기 락인에이블 신호 및 상기 칩에러신호에 응답하여 제어신호를 출력한다. 상기 멀티플렉서는 상기 시리얼 체인신호 및 상기 제어신호에 응답하여 상기 제1에러신호, 상기 D플립플롭의 출력신호인 제2내부신호 및 상기 제2스테이트 에러신호 중에서 하나를 선택한다. 상기 D플립플롭은, 상기 멀티플렉서의 출력신호를 입력단자로 수신하여 상기 제2에러신호를 양의 출력단자로 출력한다.

<18> N(N은 정수) 번째 에러데이터 저장기는, 상기 복수 개의 스테이트 에러신호들 중에서 제N스테이트 에러신호, 상기 시리얼 체인신호, 상기 락 인에이블 신호, 상기 칩에러신호 및 상기 제(N-1)에러신호에 응답하여 제N에러신호를 출력하고, 낸드게이트, 멀티플렉서 및 D플립플롭을 구비한다. 상기 낸드게이트는, 상기 락인에이블 신호 및 상기 칩에러신호에 응답하여 제어신호를 출력한다. 상기 멀티플렉서는, 상기 시리얼 체인신호 및 상기 제어신호에 응답하여 제(N-1)내부신호, 상기 D플립플롭의 출력신호인 제N에러신호 및 상기 제N스테이트 에러신호 중에서 하나를 선택한다. 상기 D플립플롭은, 상기 멀티플렉서의 출력신호를 입력단자로 수신하여 상기 제N에러신호를 양의 단자로 출력한다.

<19> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<20> 도 1은 본 발명에 따른 에러검출회로의 블록도이다.

<21> 도 1을 참조하면, 에러검출회로는, 에러데이터 저장부(100) 및 에러데이터 집합부(200)를 구비한다.

<22>        에러데이터 저장부(100)는, 칩에 구현된 회로를 소정의 영역(미도시)들로 구분하고, 구분된 상기 소정의 영역에서 에러가 발생하였을 때 에러 발생 영역별로 각각 인에이블되는 복수 개의 스테이트 에러신호(SE1 내지 SEN), 칩에 구현된 회로에 에러가 발생하여 칩이 동작불능상태가 되었을 때 칩 내부에 저장된 상기 복수 개의 스테이트 에러신호를 읽어 내기 위한 시리얼 체인신호(SC; serial chain signal), 발생된 복수 개의 스테이트 에러신호(SE1 내지 SEN)의 저장여부를 결정하는 락인에이블 신호(LE) 및 에러데이터 집합부(200)의 출력신호인 칩에러신호(CE)에 응답하여 복수 개의 에러신호(ES1 내지 ESN)를 출력한다. 에러데이터 집합부(200)는, 에러데이터 저장부(100)의 복수 개의 에러신호(ES1 내지 ESN)에 응답하여 칩에러신호(CE)를 출력한다.

<23>        에러데이터 저장부(100)는, 구분된 상기 소정의 영역에서 발생된 에러에 의하여 각각 인에이블되는 복수 개의 스테이트 인에이블 신호들(SE1 내지 SEN) 중에서 적어도 하나를 저장하여 출력하고, 구분된 상기 소정의 영역에서 발생된 에러에 의하여 칩이 동작불능상태로 되었을 때 칩의 외부에서 강제로 인가되는 시리얼 체인신호(SC)에 응답하여 자신에 저장된 적어도 하나의 스테이트 인에이블 신호를 확인 할 수 있게 한다.

<24>        에러데이터 저장부(200)는, 복수 개의 에러데이터 저장기(110 내지 140)를 구비한다.

<25>        도 2는 도 1에 도시된 에러검출회로의 에러데이터 저장부(100)의 첫 번째 에러데이터 저장기(110)의 내부 회로도도를 나타낸다.

<26>        도 2를 참조하면, 첫 번째 에러데이터 저장기(110)는, 복수 개의 스테이트 에러신호들(SE1 내지 SEN) 중에서 제1스테이트 에러신호(SE1), 시리얼 체인신호(SC), 락인에이블 신호(LE) 및 칩에러신호(CE)에 응답하는 제1에러신호(ES1)를 출력하고, 낸드게이트

(21), 멀티플렉서(22) 및 D플립플롭(23)을 구비한다. 낸드게이트(21)는, 락인에이블 신호(LE) 및 칩에러신호(CE)에 응답하여 제어신호(C1)를 출력한다. 멀티플렉서(22)는 시리얼 체인신호(SC) 및 제어신호(C1)에 응답하여 D플립플롭(23)의 출력신호인 제1에러신호(ES1) 및 제1스테이트 에러신호(SE1) 중에서 하나를 선택한다. D플립플롭(23)은 멀티플렉서(22)의 출력신호를 입력단자(D)로 수신하여 제1에러신호(ES1)를 양의 출력단자(Q)로 출력한다.

<27> 도 3은 도 1에 도시된 에러검출회로의 에러데이터 저장부(100)의 두 번째 에러데이터 저장기(120) 내지 N(N은 정수) 번째 에러데이터 저장기(140)의 내부 회로도들을 나타낸다.

<28> 두 번째 에러데이터 저장기(120)는, 제2스테이트 에러신호(SE2), 시리얼 체인신호(SC), 락인에이블 신호(LE), 칩에러신호(CE) 및 제1에러신호(C1)에 응답하여 제2에러신호(C2)를 출력하고, 낸드게이트(31), 멀티플렉서(32) 및 D플립플롭(33)을 구비한다. 낸드게이트(31)는, 락인에이블 신호(LE) 및 칩에러신호(CE)에 응답하여 제어신호(C2)를 출력한다. 멀티플렉서(32)는 시리얼 체인신호(SC) 및 제어신호(C2)에 응답하여 제1에러신호(ES1), D플립플롭(33)의 출력신호인 제2에러신호(ES2) 및 제2스테이트 에러신호(SE2) 중에서 하나를 선택한다. D플립플롭(33)은, 멀티플렉서(32)의 출력신호를 입력단자(D)로 수신하여 제2에러신호(ES2)를 양의 출력단자(Q)로 출력한다.

<29> 세 번째 에러데이터 저장기(130)는, 두 번째 에러데이터 저장기(120)와 그 구성은 동일하다. 다만, 입력신호로서 제2스테이트 에러신호(SE2) 대신에 제3스테이트 에러신호(SE3, 미도시)가 사용되고, 제어신호(C2) 및 제2에러신호(ES2)가 제어신호(C3, 미도시) 및 제3에러신호(ES3)로 바뀔 뿐이다.

<30> N(N은 정수) 번째 에러데이터 저장기(140)는, 제N스테이트 에러신호(SEN), 시리얼 체인신호(SC), 락인에이블 신호(LE), 칩에러신호(CE) 및 제(N-1)에러신호(ES(N-1), 미도시)에 응답하여 제N에러신호(ESN)를 출력하고, 낸드게이트(31), 멀티플렉서(32) 및 D플립플롭(33)을 구비한다. 낸드게이트(31)는, 락인에이블 신호(LE) 및 칩에러신호(CE)에 응답하여 제어신호(CN)를 출력한다. 멀티플렉서(33)는, 시리얼 체인신호(SC) 및 제어신호(CN)에 응답하여 제(N-1)에러신호(ES(N-1), 미도시), D플립플롭(33)의 출력신호인 제N에러신호(ESN) 및 제N스테이트 에러신호(SEN) 중에서 하나를 선택한다. D플립플롭(33)은, 멀티플렉서(32)의 출력신호를 입력단자(D)로 수신하여 제N에러신호(ESN)를 양의 출력단자(Q)로 출력한다.

<31> 상기와 같은 구조를 가지는 본 발명에 따른 에러검출회로는, 회로의 자동설계 소프트웨어의 스테이트 머신(state machine)과 조건(condition)문에서 사용되지 않는 스테이트나 조건으로 천이하는 오류를 검출하도록 하는 초기 설정단계를 전제조건으로 한다. 상기 전제 조건을 만족하는 회로를 설계하기 위한 일 예로서 첫 번째 내지 세 번째 조건에 해당하지 않으면 에러로 판단하려고 하는 경우, verilog HDL(Hardware Description Language)로 작성된 스테이트 머신은 다음과 같다.

```

<32>     case (state)
<33>         case1 : next state description 1
<34>         case2 : next stage description 2
<35>         case3 : next state description 3
<36>         default : error case description

```

<37>       end case

<38>       상기 전제 조건을 만족하는 회로를 설계하기 위한 일 예로서 첫 번째 내지 세 번째 조건에 해당하지 않으면 에러로 판단하려고 하는 경우, VHDL(Very high speed integrated circuit Hardware Description Language)로 작성된 스테이트 머신은 다음과 같다.

<39>       case (state) is

<40>       when case1 => next state

<41>       description 1

<42>       when case2 => next state

<43>       description 2

<44>       when case3 => next state

<45>       description 3

<46>       when others => error case

<47>       description

<48>       end case

<49>       상기 verilog HDL에서의 명령어(default)나 VHDL 명령문(when others)에서와 같이, 에러 상황을 보고(report)하는 비트(bit)를 셋팅하도록 코드를 작성하고, 상기와 같이 작성된 스테이트 머신을 이용하여 실제 회로를 생성시키면 상기 전제조건이 완성된다. 설계 초기에 회로를 소정의 영역으로 구분하고, 구분된 상기 소정의 영역의 각각에서 발생하는 에러를 보고하도록 상기 전제조건을 준비하여야 실제 발생한 에러영역을 빠르게

검출할 수 있다. 또한 에러의 발생을 보고할 수 있도록 상기와 같이 명령문(default)을 사용하지 않고, 대신에 조건문(if else)을 사용하여 에러비트를 셋팅할 수 있도록 설계할 수도 있다. 이러한 에러비트들은 각각의 저장기(110 내지 140)에 저장되어 칩의 내부 시스템에서 이를 처리하게 하거나, 칩 외부의 명령에 의하여 사용자가 저장된 내용을 칩의 외부로 추출하고 분석하여 에러의 발생위치를 손쉽게 파악할 수 있게 한다.

<50> 그러나 입출력이 상호 연관되어 있는 회로의 특성상 회로의 어느 한 부분에서 발생된 에러는 회로의 다른 부분으로 전파되므로, 최초의 에러가 발생된 후 상당한 시간이 경과되면 복수의 영역에서 에러가 발생하게 되므로, 회로의 어느 영역에서 최초의 에러가 발생했는가를 파악할 수 없다. 따라서 본 발명에서는 최초의 에러발생 위치를 구별하기 위하여, 일단 에러가 발생하는 즉시 생성되는 칩에러신호(CE)를 이용하여, 최초의 에러 발생 영역에 해당하는 에러데이터 저장기는 에러가 발생하였음을 표시하는 논리 값을 그대로 홀드하게 하고, 나머지 영역의 에러데이터 저장기는 설사 해당 영역에서 에러신호가 발생하였다 하더라도 해당 에러신호를 저장하지 않도록 하였다. 이렇게 함으로써 최초의 에러가 발생한 곳에 대한 정보만 해당 에러데이터 저장기에 보존되므로 최초의 에러 발생위치를 빠르게 검출할 수 있게 되는 것이다.

<51> 또한 구분된 소정의 영역에서 발생된 에러에 의하여 시스템이 다운되어 프로그램이 정상적으로 동작하지 않아 상기 에러데이터 저장기에 저장된 정보를 정상적인 방법으로 읽을 수 없는 경우, 미리 설정하여둔 테스트 모드로 칩의 상태를 조정한 후, 소정의 신호를 칩의 외부에서 강제로 인가하여 상기 에러데이터 저장기에 저장된 에러데이터를 읽을 수 있게 함으로써 에러가 발생한 위치 및 원인을 보다 쉽게 파악할 수 있게 한다.

<52> 본 발명은 기본적으로 칩의 불량이 기본적인 테스트 벡터에서는 검출되지 못하여

칩의 상태가 양호하다고 판단되었고, 그리하여 사용자가 이를 사용하다가 불량이 발생한 경우, 이러한 불량에 원인 및 발생위치를 조기에 발견하고 처리하기 위하여 고안되었다. 그렇지만, 스테이트 머신에 있는 논리에러 또한 발견하는데 도움이 될 수 있다. 예를 들면, 다른 클럭영역(clock domain)에서 넘어오는 제어신호를 당 영역에서 사용하는 신호와 동기를 맞추지 않고 스테이트 머신에 사용할 경우, 스테이트 머신에서 정의하는 신호는 상기 제어신호와 시간적 차이에 의하여 전혀 예상하지 못하는 곳으로 분기할 수 있다. 이러한 경우에도 에러데이터 저장기에 에러비트가 셋팅될 것이다.

<53> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<54> 상술한 바와 같이 본 발명에 따른 에러검출회로는, 기본적인 테스트 벡터를 통하여 검출되지 않는 불량이 사용자의 사용 도중에 발생한 칩에 있어서, 그 불량에 발생원인 및 발생영역을 쉽게 찾아낼 수 있는 장점이 있다.

**【특허청구범위】**

**【청구항 1】**

칩에러신호;

칩을 소정의 영역들로 구분하고 구분된 상기 소정의 영역에 속한 임의의 회로에서 에러가 발생하였을 때 에러가 발생한 상기 소정의 영역에서 생성되는 적어도 하나의 스테이트 에러신호, 칩의 임의의 회로에서 에러가 발생하여 칩이 동작불능상태가 되었을 때 저장된 상기 복수 개의 스테이트 에러신호를 읽어 내기 위한 시리얼 체인신호(serial chain signal), 생성된 상기 복수 개의 스테이트 에러신호의 보존여부를 결정하는 락인 에이블 신호 및 상기 칩에러신호에 응답하여 복수 개의 에러신호를 출력하는 에러데이터 저장부; 및

상기 에러데이터 저장부의 상기 복수 개의 에러신호에 응답하여 상기 칩에러신호를 출력하는 에러데이터 집합부를 구비하고,

상기 에러데이터 저장부는, 상기 복수 개의 스테이트 인에이블 신호들 중에서 적어도 하나를 저장하고, 상기 시리얼 체인신호에 응답하여 자신에 저장된 적어도 하나의 상기 스테이트 인에이블 신호를 확인 할 수 있게 하는 것을 특징으로 하는 에러 검출회로.

**【청구항 2】**

제1항에 있어서, 상기 에러데이터 저장부는,

복수 개의 에러데이터 저장기들을 구비하며,

첫 번째 에러데이터 저장기는,

상기 복수 개의 스테이트 에러신호들 중에서 제1스테이트 에러신호, 상기 시리얼

체인신호, 상기 락인에이블 신호 및 상기 칩에러신호에 응답하여 제1에러신호를 출력하고,

두 번째 에러데이터 저장기는,

상기 복수 개의 스테이트 에러신호들 중에서 제2스테이트 에러신호, 상기 시리얼 체인신호, 상기 락인에이블 신호, 상기 칩에러신호 및 상기 제1에러신호에 응답하여 제2 에러신호를 출력하고,

$N$ ( $N$ 은 정수) 번째 에러데이터 저장기는,

상기 복수 개의 스테이트 에러신호들 중에서 제 $N$ 스테이트 에러신호, 상기 시리얼 체인신호, 상기 락인에이블 신호, 상기 칩에러신호 및 상기 제( $N-1$ )에러신호에 응답하여 제 $N$ 에러신호를 출력하는 것을 특징으로 하는 에러검출회로.

### 【청구항 3】

제2항에 있어서, 상기 첫 번째 에러데이터 저장기는,

상기 락인에이블 신호 및 상기 칩에러신호에 응답하여 제어신호를 출력하는 낸드 게이트;

상기 시리얼 체인신호 및 상기 제어신호에 응답하여 상기 제1에러신호 및 상기 제1 스테이트 에러신호 중에서 하나를 선택하는 멀티플렉서; 및

상기 멀티플렉서의 출력신호를 입력단자로 수신하여 상기 제1에러신호를 양의 출력 단자로 출력하는 디플립플롭(D-Flip Flop)을 구비하는 것을 특징으로 하는 에러검출회로.

**【청구항 4】**

제2항에 있어서, 상기 두 번째 에러데이터 저장기는,

상기 락인에이블 신호 및 상기 칩에러신호에 응답하여 제어신호를 출력하는 낸드게이트;

상기 시리얼 체인신호 및 상기 제어신호에 응답하여 상기 제1에러신호, 상기 제2에러신호 및 상기 제2스테이트 에러신호 중에서 하나를 선택하는 멀티플렉서; 및

상기 멀티플렉서의 출력신호를 입력단자로 수신하여 상기 제2에러신호를 양의 출력단자로 출력하는 D플립플롭을 구비하는 것을 특징으로 하는 에러검출회로.

**【청구항 5】**

제2항에 있어서, 상기 N 번째 에러데이터 저장기는,

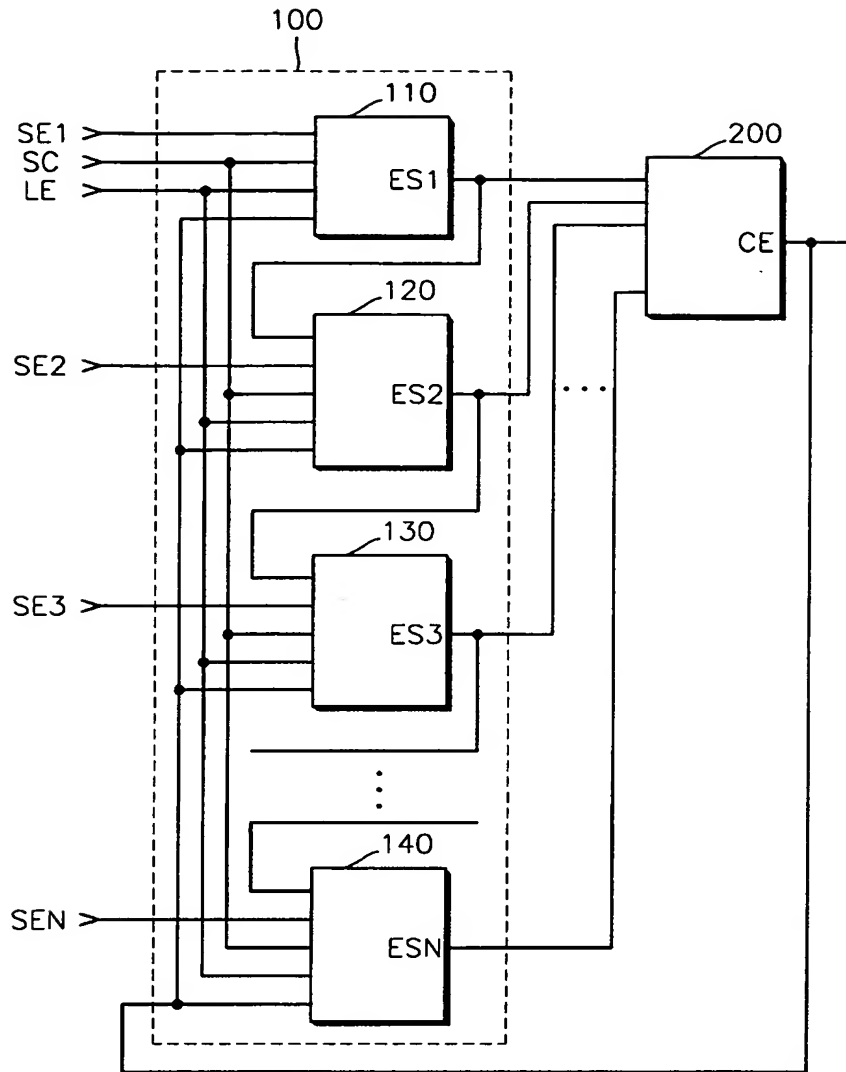
상기 락인에이블 신호 및 상기 칩에러신호에 응답하여 상기 제N제어신호를 출력하는 낸드게이트;

상기 시리얼 체인신호 및 상기 제N제어신호에 응답하여 제(N-1)에러신호, 상기 제N에러신호 및 상기 제N스테이트 에러신호 중에서 하나를 선택하는 멀티플렉서; 및

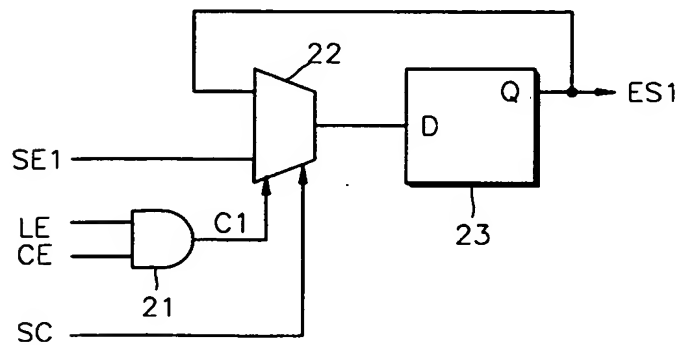
상기 멀티플렉서의 출력신호를 입력단자로 수신하여 상기 제N에러신호를 양의 출력단자로 출력하는 D플립플롭을 구비하는 것을 특징으로 하는 에러 검출회로.

【도면】

【도 1】



【도 2】



【도 3】

